

## SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP4133338  
Publication date: 1992-05-07  
Inventor(s): NAWAKI MASARU  
Applicant(s):: SHARP CORP  
Requested Patent: ☒ JP4133338  
Application Number: JP19900256037 19900925  
Priority Number(s):  
IPC Classification: H01L21/66  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To execute a plurality of wafer tests simultaneously by providing the following: pads for bonding use; pads, for wafer test use, which have been connected to them; and fuses which are formed at halfway parts of interconnections and which can be blown electrically or optically.

**CONSTITUTION:** At a semiconductor integrated circuit device, pads P170, P180, P190, P200, for bonding use, which have been arranged and installed along its long sides are connected, by interconnections, to pads T170, T180, T190, T200, for wafer test use, which have been arranged and installed respectively along its short sides. Fuses F170, F180, F190, F200 are installed at halfway parts. At a wafer test, the pads for wafer test use can be utilized. A plurality of semiconductor integrated circuit devices are arranged in a direction in which the short sides are extended, and a probe card 23 is used. Thereby, a wafer for the plurality of integrated circuits can be tested. After the wafer test, the fuses are blown electrically or optically. Thereby, at a packaging operation, it is possible to eliminate that the electrostatic capacity of terminals connected to the pads for bonding use is increased. As a result, it is possible to avoid that the driving ability of each semiconductor integrated circuit becomes insufficient.

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A) 平4-133338

⑤Int. Cl.<sup>5</sup>  
H 01 L 21/66識別記号  
E  
Z  
庁内整理番号  
7013-4M  
7013-4M

④公開 平成4年(1992)5月7日

審査請求 未請求 請求項の数 1 (全4頁)

⑥発明の名称 半導体集積回路装置

②特 願 平2-256037

②出 願 平2(1990)9月25日

⑦発 明 者 那 脇 勝 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社  
内

⑦出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑦代 理 人 弁理士 青 山 葆 外1名

## 明 細 書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

(1) ボンディング用のパッドと、

上記ボンディング用のパッドに配線によって接  
続されたウェハテスト用のパッドと、上記配線の途中に設けられ、電気的あるいは光  
学的に切断可能なフューズを備えることを特徴と  
する半導体集積回路装置。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は、複数個同時にウェハテストするため、  
ウェハテスト用のパッドを備える半導体集積回路  
装置に関する。

## 【従来の技術】

第3図は、一般的なボンディング用のパッドを  
備えた半導体集積回路装置を、1個ずつウェハテ  
ストする様子を示す様式図である。第3図に示す  
ように、プローブカード33に設けたプローブ針

32で、半導体集積回路装置31に設けたボンディ  
ング用のパッドP1～P20をプローブして、半  
導体集積回路装置を1個ずつウェハテストしてい  
る。

ところで、半導体集積回路装置は、近年、益々  
発達し、その機能は益々複雑になってきており、  
ウェハテストに要する時間の増大が大きな問題に  
なっている。

そこで、現在、この問題を解決するため、ウェ  
ハテスト時に複数の半導体記憶装置を同時にテス  
トすることで、ウェハテストの能率の向上を図り、  
ウェハテストのスループットを向上させている。  
例えば、3つの半導体集積回路装置を同時にウェ  
ハテストする場合の様式図を第2図に示す。第2  
図に示すように、この場合、半導体集積回路装置  
21の長辺に沿って配設しているボンディング用  
のパッドQ17～Q20へのプロービングが不可  
能になるため、ウェハテスト用のパッドT17～  
T20を上記半導体集積回路装置21の短辺に配  
設し、上記ウェハテスト用のパッドT17～T2

0を、配線によって、夫々上記ボンディング用のパッドQ17～Q20に接続している。そして、上記ボンディング用のパッドQ17～Q20の替わりに、上記ウェハテスト用のパッドT17～T20を、プローブカード23が備えるプローブ針22でプローブして、3個の半導体集積回路装置21を同時にウェハテストしている。

#### 【発明が解決しようとする課題】

しかしながら、上記従来の半導体集積回路装置では、ボンディング用のパッドにウェハテスト用のパッドを配線により接続しているので、上記ウェハテスト用のパッドがパッケージングの際に上記ボンディング用のパッドQ17～Q20に接続する端子の静電容量を増加させ、上記半導体集積回路装置を駆動する装置の駆動能力の不足を招くという問題がある。特に、DRAM(ダイナミック・ランダム・アクセス・メモリ)あるいはSRAM(スタティック・ランダム・アクセス・メモリ)を大量に使用するメモリボードのように、同時に大量の半導体集積回路装置を駆動するシステムにお

同時に複数個のウェハテストがなされ、ウェハテストの能率が向上する。また、ウェハテスト後、上記配線の途中に設けられ、電気的あるいは光学的に切断可能なフューズを切断することにより、上記ボンディング用のパッドと上記ウェハテスト用のパッドが切り離される。このため、上記ウェハテスト用のパッドが、パッケージングの際上記ボンディング用のパッドに接続される端子の静電容量を、増加させることがなく、駆動装置の駆動能力不足を招くことがない。

#### 【実施例】

以下、本発明を図示の実施例により詳細に説明する。

第1図は本実施例の半導体集積回路装置の模式図である。第1図に示すように、上記半導体集積回路装置は、上記半導体集積回路装置の長辺に沿って配設したボンディング用のパッドP170、P180、P190、P200を、夫々上記半導体集積回路装置の短辺に沿って配設したウェハテスト用のパッドT170、T180、T190、T20

いては、このシステムのバスラインの寄生静電容量の増加のため、このバスラインをドライブするバスラインドライバの能力不足を引き起こすという問題がある。

そこで、本発明の目的は、同時に複数個のウェハテストが可能でウェハテストの能率を向上できると共に、ウェハテスト用のパッドが、パッケージングの際にボンディング用のパッドに接続する端子の静電容量を増加させないようにできる半導体集積回路装置を提供することにある。

#### 【課題を解決するための手段】

上記目的を達成するための、本発明の半導体集積回路装置は、ボンディング用のパッドと、上記ボンディング用のパッドに配線によって接続されたウェハテスト用のパッドと、上記配線の途中に設けられ、電気的あるいは光学的に切断可能なフューズを備えることを特徴としている。

#### 【作用】

ボンディング用のパッドに配線によって接続されたウェハテスト用のパッドを用いることにより、

0に、配線によって接続している。また、上記配線の途中には、夫々電気的あるいは光学的に切断可能なフューズF170、F180、F190、F200を設けている。

上記構成の半導体集積回路装置は、ウェハテスト時に、上記長辺に沿って配設したボンディング用のパッドP170、P180、P190、P200の替わりに、上記短辺に沿って配設したウェハテスト用のパッドT170、T180、T190、T200を利用できるので、上記短辺が延びる方向に複数個の上記半導体集積回路装置を並べて、第2図に示すようなプローブカードを用いれば、複数個の上記半導体集積回路を同時にウェハテストでき、ウェハテストの能率を向上できる。しかも、上記ウェハテスト終了後に、上記配線の途中に設けたフューズF170、F180、F190、F200を電気的あるいは光学的に切断することにより、上記ボンディング用のパッドP170、P180、P190、P200と、上記ウェハテスト用のパッドT170、T180、T190、T2

00とを切り離せるので、上記ウェハテスト用のパッドT170、T180、T190、T200が、パッケージングの際上記ボンディング用のパッドP170、P180、P190、P200に接続する端子の静電容量を、増加させないようにすることができ、上記半導体集積回路の駆動装置の駆動能力不足を招かないようにすることができる。

尚、DRAM、SRAM等の半導体集積回路装置においては、既設の冗長置換用のフューズをボンディング用のパッドとウェハテスト用のパッドを接続する配線の途中に設けるフューズとして用いることができ、上記配線の途中にフューズを設けるプロセスを省くことができる。

#### 【発明の効果】

以上の説明より明らかなように、本発明の半導体集積回路装置は、ボンディング用のパッドに配線によって接続したウェハテスト用のパッドと、上記配線の途中に設けられ、電気的あるいは光学的に切断可能なフューズを備えているので、同時に複数個のウェハテストができ、ウェハテストの

P170、P180、P190、P200…フューズ。

特許出願人 シャープ株式会社  
代理人 井理士 青山 藤 ほか1名

能率を向上できると共に、上記ウェハテスト後上記フューズを切断することにより、上記ウェハテスト用のパッドが、パッケージングの際上記ボンディング用のパッドに接続される端子の静電容量を増加させないようにすることができ、上記半導体集積回路装置の駆動装置の駆動能力不足を招かないようにすることができる。

#### 4. 図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例の模式図、第2、3図は従来の半導体集積回路装置をウェハテストする様子を示す模式図である。

21、31…半導体集積回路装置、

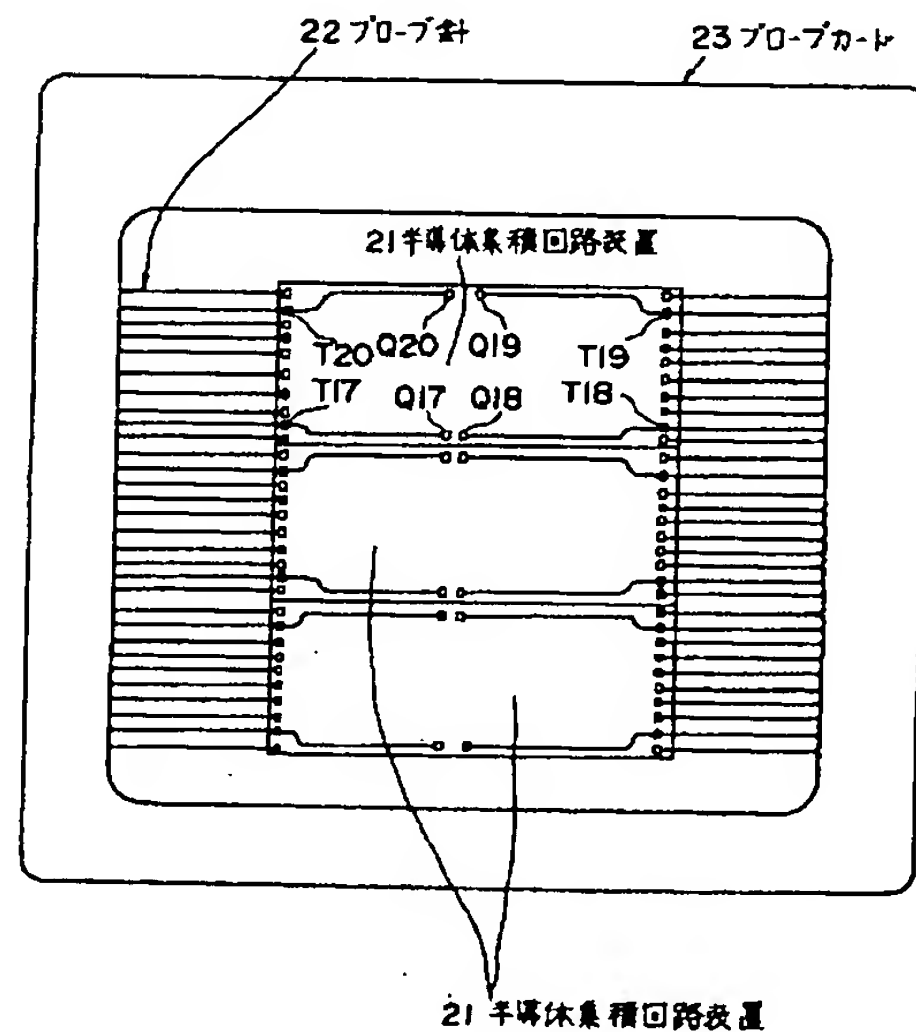
22、32…プローブ針、

23、33…プローブカード、

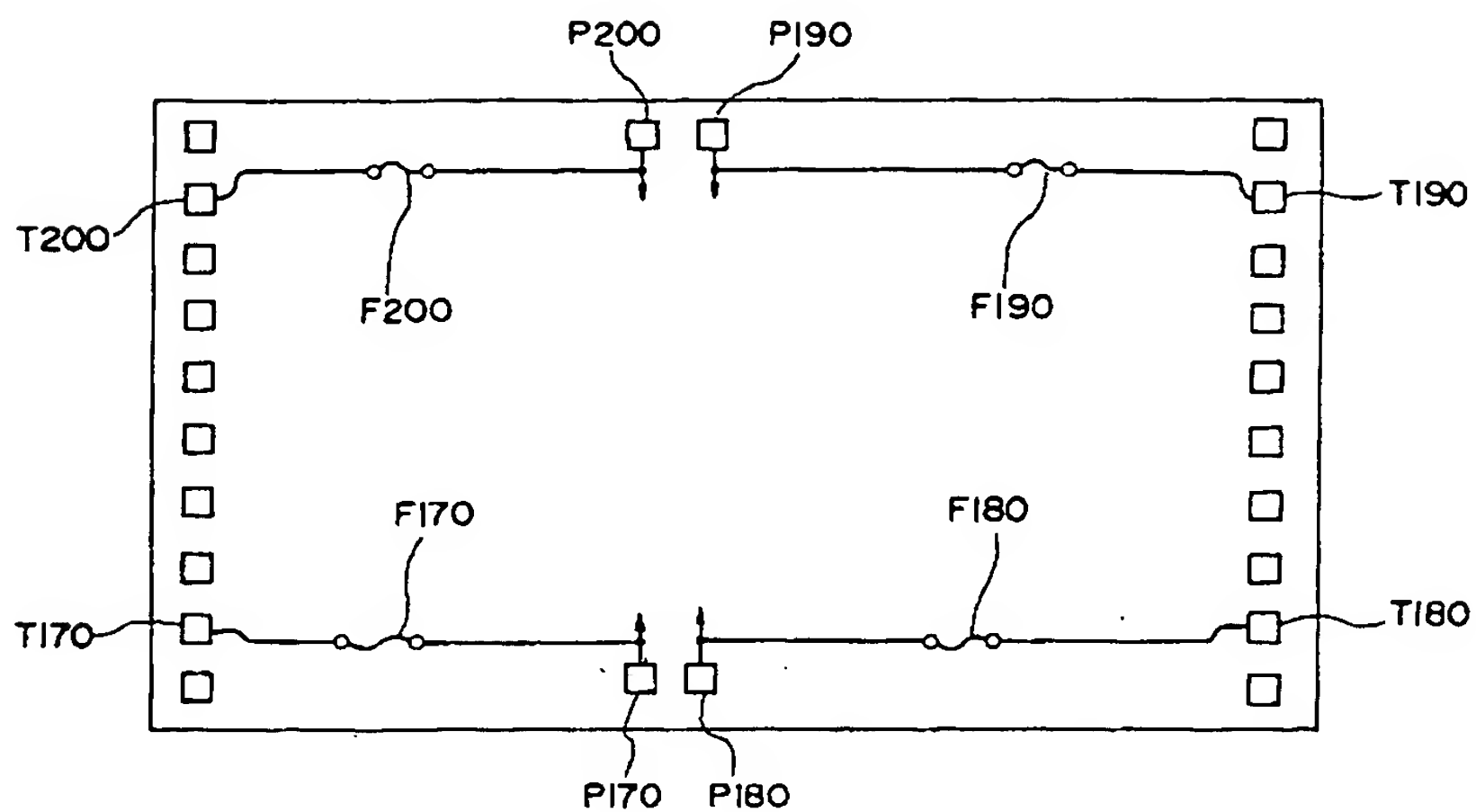
P1～P20、P170、P180、P190、P200、Q17、Q18、Q19、Q20…ボンディング用のパッド、

T17、T18、T19、T20、T170、T180、T190、T200…ウェハテスト用のパッド、

第2図



第 1 図



第 3 図

